

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP05/004055

International filing date: 09 March 2005 (09.03.2005)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2004-074568
Filing date: 16 March 2004 (16.03.2004)

Date of receipt at the International Bureau: 12 May 2005 (12.05.2005)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)



World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

16. 3. 2005

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 4 年 3 月 1 6 日
Date of Application:

出 願 番 号 特 願 2 0 0 4 - 0 7 4 5 6 8
Application Number:

パリ条約による外国への出願
に用いる優先権の主張の基礎
となる出願の国コードと出願
番号

The country code and number
of your priority application,
to be used for filing abroad
under the Paris Convention, is

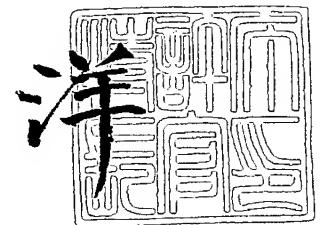
J P 2 0 0 4 - 0 7 4 5 6 8

出 願 人 ローム株式会社
Applicant(s):

2 0 0 5 年 4 月 2 0 日

特許庁長官
Commissioner,
Japan Patent Office

小 川



【書類名】 特許願
【整理番号】 PR400075
【提出日】 平成16年 3月16日
【あて先】 特許庁長官 殿
【国際特許分類】 H02M 3/155
【発明者】
 【住所又は居所】 京都市右京区西院溝崎町 2 1 番地 ローム株式会社内
 【氏名】 酒井 優
【特許出願人】
 【識別番号】 000116024
 【氏名又は名称】 ローム株式会社
【代理人】
 【識別番号】 100085501
 【弁理士】
 【氏名又は名称】 佐野 静夫
【手数料の表示】
 【予納台帳番号】 024969
 【納付金額】 21,000円
【提出物件の目録】
 【物件名】 特許請求の範囲 1
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1
 【包括委任状番号】 0113515

【書類名】 特許請求の範囲**【請求項 1】**

スイッチングレギュレータの出力電圧に基づく電圧と基準電圧とを比較する比較器と、前記比較器の出力によってセットされるフリップフロップと、前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過すると前記フリップフロップをリセットするパルス制御回路と、

を備え、

前記フリップフロップの出力パルスをスイッチ素子の制御信号として出力することを特徴とするスイッチングレギュレータ用制御信号生成回路。

【請求項 2】

前記パルス制御回路が、前記フリップフロップの出力パルスが立ち上がってからの経過時間及び前記スイッチングレギュレータの入力電圧に応じた電圧と第 2 の基準電圧とを比較するオン期間設定用比較器を有し、前記オン期間設定用比較器の出力によって前記フリップフロップをリセットすることによってオン期間を設定する請求項 1 に記載のスイッチングレギュレータ用制御信号生成回路。

【請求項 3】

最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がってから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を備え、

前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限する請求項 1 または請求項 2 に記載のスイッチングレギュレータ用制御信号生成回路。

【請求項 4】

DC-DC コンバータと、該 DC-DC コンバータの出力電圧に応じた制御信号を生成する制御信号生成回路と、前記制御信号に基づいて前記 DC-DC コンバータ内のスイッチング素子を駆動するドライバ回路と、を備えたスイッチングレギュレータにおいて、

前記制御信号生成回路が、請求項 1～3 のいずれかに記載のスイッチングレギュレータ用制御信号生成回路であることを特徴とするスイッチングレギュレータ。

【請求項 5】

前記比較器と前記 DC-DC コンバータが具備する出力コンデンサとの間に抵抗を設ける請求項 4 に記載のスイッチングレギュレータ。

【書類名】明細書

【発明の名称】スイッチングレギュレータ

【技術分野】

【0001】

本発明は、スイッチングレギュレータに関する。

【背景技術】

【0002】

従来のスイッチングレギュレータは、エラーアンプが基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との誤差を増幅し、PWMコンバータが前記エラーアンプの出力電圧と三角波とを比較してPWM信号を作成し、そのPWM信号に基づいてDC-DCコンバータ内のスイッチング素子をオン/オフ制御する構成が一般的であった（例えば、特許文献1参照）。しかしながら、このような構成のスイッチングレギュレータでは、帰還部分に設けられているエラーアンプが増幅動作をするため、高速動作を行うことができなかった。

【0003】

高速動作が可能なスイッチングレギュレータとして、カレントモード制御スイッチングレギュレータが挙げられる。カレントモード制御スイッチングレギュレータとは、基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との差に応じてオフセットされる可変電圧と、スイッチングレギュレータの出力電流に応じた電圧とを比較し、その比較結果に応じたデューティのパルス信号を生成し、そのパルス信号に基づいてDC-DCコンバータ内のスイッチング素子をオン/オフ制御するスイッチングレギュレータである（例えば、特許文献2参照）。

【特許文献1】特開2003-219638号公報（第1図）

【特許文献2】特開2003-319643号公報（第1図）

【発明の開示】

【発明が解決しようとする課題】

【0004】

しかしながら、カレントモード制御スイッチングレギュレータでは、基準電圧とスイッチングレギュレータの出力電圧に基づく電圧との差に応じてオフセットされる可変電圧を生成するための帰還がかかるために、ある一定以上の高速動作が困難である。例えば、特許文献2で開示されているカレントモード制御スイッチングレギュレータでは、トランスコンダクタンスアンプ（gmアンプ）が基準電圧とスイッチングレギュレータの出力電圧との差に応じて可変電圧のオフセットを行っており、前記gmアンプがスイッチングレギュレータの出力電圧に応じた増幅動作を行うため、ある一定以上の高速動作を行うことが困難であった。

【0005】

本発明は、上記の問題点に鑑み、スイッチングレギュレータの高速動作を可能とするスイッチングレギュレータ用制御信号生成回路及び高速動作が可能なスイッチングレギュレータを提供することを目的とする。

【課題を解決するための手段】

【0006】

上記目的を達成するために本発明に係るスイッチングレギュレータ用制御信号生成回路は、スイッチングレギュレータの出力電圧に基づく電圧と基準電圧とを比較する比較器と、前記比較器の出力によってセットされるフリップフロップと、前記フリップフロップの出力パルスが立ち上がってから所定のオン期間が経過すると前記フリップフロップをリセットするパルス制御回路と、を備え、前記フリップフロップの出力パルスをスイッチ素子の制御信号として出力する。

【0007】

このような構成のスイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータでは、帰還部分がスイッチングレギュレータの出力電圧に基づく電圧と基

準電圧との比較動作を行うようにすることができるため、高速動作が可能となる。

【0008】

また、上記構成のスイッチングレギュレータ用制御信号生成回路において、前記パルス制御回路が、前記フリップフロップの出力パルスが立ち上がったからの経過時間及び前記スイッチングレギュレータの入力電圧に応じた電圧（参照電圧）と第2の基準電圧とを比較するオン期間設定用比較器を有し、前記オン期間設定用比較器の出力によって前記フリップフロップをリセットすることによってオン期間を設定するようにしてもよい。

【0009】

これにより、パルス制御回路において、参照電圧と第2の基準電圧との比較動作が行われる。したがって、当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータでは、帰還部分がスイッチングレギュレータの出力電圧に基づく電圧と基準電圧との比較動作及び参照電圧と第2の基準電圧との比較動作を主に行うので、高速動作が可能となる。

【0010】

また、上記いずれかの構成のスイッチングレギュレータ用制御信号生成回路において、最大オン期間を設定し、前記フリップフロップの出力パルスが立ち上がったから前記最大オン期間が経過すると前記フリップフロップをリセットする最大オン期間制御回路を更に備え、前記フリップフロップの出力パルスのオン期間を前記最大オン期間以下に制限するようにしてもよい。

【0011】

このような構成によると、フリップフロップの出力パルスのオン期間を最大オン期間以下に制限するので、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが、当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作が不安定になるレベルに達することはない。これにより、スイッチングレギュレータ用制御信号生成回路から出力される制御信号のONデューティが100%付近での当該スイッチングレギュレータ用制御信号生成回路を搭載したスイッチングレギュレータの動作を安定化することができる。

【0012】

上記目的を達成するために本発明に係るスイッチングレギュレータは、DC-DCコンバータと、該DC-DCコンバータの出力電圧に応じた制御信号を生成する制御信号生成回路と、前記制御信号に基づいて前記DC-DCコンバータ内のスイッチング素子を駆動するドライバ回路と、を備え、前記制御信号生成回路を上記いずれかの構成のスイッチングレギュレータ用制御信号生成回路としている。このような構成によると、高速動作が可能になる。そして、高速動作により、例えば大電流化に対応することができる。

【0013】

また、上記構成のスイッチングレギュレータにおいて、前記比較器と前記DC-DCコンバータが具備する出力コンデンサとの間に抵抗を設けてもよい。

【0014】

このような構成によると、出力コンデンサに等価直列抵抗の小さいコンデンサ（例えばセラミックコンデンサ等）を用いた場合でもスイッチングレギュレータの出力電圧のリップル電圧を大きくすることができる。これにより、出力コンデンサに等価直列抵抗の小さいコンデンサ（例えばセラミックコンデンサ等）を用いた場合でも比較器における切り替わり遅れ時間の増加を抑えることができ、スイッチングレギュレータの動作を安定化することができる。

【発明の効果】**【0015】**

本発明によると、スイッチングレギュレータの高速動作を可能とするスイッチングレギュレータ用制御信号生成回路及び高速動作が可能なスイッチングレギュレータを実現することができる。

【発明を実施するための最良の形態】

【0016】

本発明の一実施形態について図面を参照して以下に説明する。先ず、本発明の第一実施形態について説明する。本発明の第一実施形態に係るスイッチングレギュレータの構成を図1に示す。

【0017】

図1に示すスイッチングレギュレータは、制御信号生成回路1と、ドライバ論理回路2と、Nチャネル型MOSトランジスタ（以下、NMOSあるいはNMOSトランジスタという）3及び4と、ツェナーダイオード5と、コンデンサ6と、コイル7と、出力コンデンサ8とによって構成されている。なお、入力電圧 V_{IN} は制御信号生成回路1内の回路の駆動電圧 V_{DD} より大きいものとする。本実施形態では、入力電圧 V_{IN} を+25Vとし、駆動電圧 V_{DD} を+5Vにする。

【0018】

制御信号生成回路1は出力信号 V_0 を入力しパルス信号（制御信号）を生成してドライバ論理回路2へ送出する。ドライバ論理回路2は、制御信号生成回路1から出力されるパルス信号に基づいてNMOS3及び4をオン／オフ制御する。

【0019】

NMOS3がオフされてNMOS4が相補的にオンされると、駆動電圧 V_{DD} が印加されている端子からショットキーダイオード5を介してコンデンサ6に充電電流が流れ込み、コンデンサ6の両端電圧は約+5Vになる。その後、NMOS3がオンされてNMOS4が相補的にオフされると、コンデンサ6とNMOS3との接続点の電圧は+25Vとなり、コンデンサ6とショットキーダイオード5との接続点の電圧は約+30Vとなる。そして、コンデンサ6とショットキーダイオード5との接続点に発生する約+30Vが、ドライバ論理回路2に供給される。

【0020】

ドライバ論理回路2は、コンデンサ6とショットキーダイオード5との接続点から供給される+30Vを用いて、制御信号生成回路1から出力されるパルス信号を高電位側にレベルシフトし、そのレベルシフトした信号に基づく第1のドライブ信号をNMOS3のゲートに供給するとともに、制御信号生成回路1から出力されるパルス信号を反転し、その反転した信号に基づく第2のドライブ信号をNMOS4のゲートに供給する。

【0021】

また、NMOS3とNMOS4との接続点の電圧は、コイル7と出力コンデンサ8により平滑されて出力電圧 V_0 となる。

【0022】

続いて、本発明の特徴部分である制御信号生成回路1について詳細に説明する。制御信号生成回路1は、比較器10と、基準電圧源11と、フリップフロップ12と、パルス制御回路13とによって構成される。

【0023】

比較器10は、出力電圧 V_0 と基準電圧源11から出力される基準電圧 V_{REF} とを比較し、その比較出力をセット信号としてフリップフロップ12のセット端子に供給する。また、パルス制御回路13は、入力電圧 V_{IN} 、基準電圧 V_{REF2} 、及びフリップフロップ12の反転出力を入力し、下記に示す（1）式を満たすように入力電圧 V_{IN} と基準電圧 V_{REF2} の比（ V_{REF2}/V_{IN} ）に応じて制御信号生成回路1から出力されるパルス信号のオン期間 T_{ON} を設定し、制御信号生成回路1から出力されるパルス信号が立ち上がってからオン期間 T_{ON} が経過するとフリップフロップ12をリセットさせる周波数 f の信号をリセット信号としてフリップフロップ12のリセット端子に供給する。そして、フリップフロップ12のパルス出力がドライバ論理回路2に供給される。尚、基準電圧 V_{REF2} はバンドギャップ回路等により設定しても良いし、出力電圧 V_0 を用いても良い。

【数 1】

$$T_{ON} = \frac{V_{REF2}}{V_{IN}} \times \frac{1}{f} \dots (1)$$

【0024】

制御信号生成回路 1 の一構成例を図 2 に示す。なお、図 2 において図 1 と同一の部分には同一の符号を付し詳細な説明を省略する。図 2 に示す制御信号生成回路 1 が具備するパルス制御回路 13 は、入力電圧 V_{IN} を分圧する抵抗 $R1$ 及び $R2$ と、NPN 形トランジスタ $Q3$ と、トランジスタ $Q3$ のエミッタ電流が流れる抵抗 $R3$ と、入力電圧 V_{IN} の分圧と抵抗 $R3$ の両端電圧との差を増幅してトランジスタ $Q3$ のベースに供給する高速アンプ $AMP1$ と、コンデンサ $C1$ と、PNP 形トランジスタ $Q1$ 及び $Q2$ から成りトランジスタ $Q3$ のエミッタ電流と同一値または所定倍の充電電流をコンデンサ $C1$ に供給するカレントミラー回路と、フリップフロップ 12 の反転出力に応じてコンデンサ $C1$ の充放電を切り替える NMOS トランジスタ $Q4$ と、基準電圧 V_{REF2} を分圧する抵抗 $R4$ 及び $R5$ と、基準電圧 V_{REF2} の分圧とコンデンサ $C1$ の両端電圧とを比較して比較出力をフリップフロップ 12 のリセット端子に供給する比較器 $COM1$ とによって構成されている。

【0025】

続いて、図 1 に示すスイッチングレギュレータ及び図 2 に示す制御信号生成回路の各部電圧又は電流のタイムチャートを図 3 に示し、図 3 を参照して図 1 に示すスイッチングレギュレータ及び図 2 に示す制御信号生成回路の動作を説明する。

【0026】

フリップフロップ 12 の出力端子からドライバ論理回路 2 に供給されるパルス信号 V_Q が Low レベルであるときは、NMOS 3 がオフであり NMOS 4 が相補的にオンであるため、コイル 7 を流れる電流 I_L 及び出力電圧 V_O は徐々に減少する。また、このときフリップフロップ 12 の反転出力は $High$ レベルであるので、NMOS トランジスタ $Q4$ はオンでありコンデンサ $C1$ の両端電圧 V_{C1} は零である。したがって、比較器 $COM1$ からフリップフロップ 12 のリセット端子に供給されるリセット信号 V_R は Low レベルである。

【0027】

そして、出力電圧 V_O が基準電圧 V_{REF} より小さくなると、比較器 10 からフリップフロップ 12 のセット端子に供給されるセット信号 V_S が Low レベルから $High$ レベルに切り替わる。これにより、パルス信号 V_Q が Low レベルから $High$ レベルに切り替わり、NMOS 3 がオンになり NMOS 4 が相補的にオフになるため、出力電圧 V_O が基準電圧 V_{REF} より大きくなる。したがって、セット信号 V_S はすぐに Low レベルに戻る。また、このときフリップフロップ 12 の反転出力は $High$ レベルから Low レベルに切り替わるので、NMOS トランジスタ $Q4$ はオフになりコンデンサ $C1$ に充電電流が供給され始める。

【0028】

その後、フリップフロップ 12 の出力であるパルス信号 V_Q が $High$ レベルである間、コイル 7 を流れる電流 I_L 、出力電圧 V_O 、及びコンデンサ $C1$ の両端電圧 V_{C1} は徐々に増加する。

【0029】

そして、コンデンサ $C1$ の両端電圧 V_{C1} が閾値 V_{TH} (抵抗 $R4$ と抵抗 $R5$ の接続点の電圧と同一値) に達すると、リセット信号 V_R が Low レベルから $High$ レベルに切り替わる。これにより、パルス信号 V_Q が $High$ レベルから Low レベルに切り替わる。パルス信号 V_Q が Low レベルになると、フリップフロップ 12 の反転出力が $High$ レベルになって NMOS トランジスタ $Q4$ がオンになりコンデンサ $C1$ の両端電圧 V_{C1} が零になるので、リセット信号 V_R はすぐに Low レベルに戻る。

【0030】

図 1 に示すスイッチングレギュレータ及び図 2 に示す制御信号生成回路は、以上のよう

な動作を行うので、パルス信号 V_Q のオン期間 T_{ON} は、コンデンサ C_1 の充電時間と一致する。したがって、パルス信号 V_Q のオン期間 T_{ON} は、下記に示す (2) 式で表すことができる。ただし、 C_1 はコンデンサ C_1 の静電容量を示し、 i はコンデンサ C_1 の充電電流値を示し、 $R_1 \sim R_5$ は抵抗 $R_1 \sim R_5$ それぞれの抵抗値を示している。

【数 2】

$$\begin{aligned} T_{ON} &= \frac{C_1 \times V_{TH}}{i} \\ &= \frac{C_1 \times \frac{R_5}{R_4 + R_5} \times V_{REF2}}{\frac{R_2}{R_1 + R_2} \times V_{IN} \times \frac{1}{R_3}} \\ &= \frac{V_{REF2}}{V_{IN}} \times C_1 \times R_3 \quad \dots (2) \end{aligned}$$

【0031】

ここで、降圧形 DC-DC コンバータを有するスイッチングレギュレータでは、DC-DC コンバータ内のスイッチング素子のオン/オフ制御に用いられるパルス信号のオン期間 T_{ON} (DC-DC コンバータ内のコイルにエネルギーが蓄えられる期間) は、上述した (1) 式で表せるので、コンデンサ C_1 の静電容量 C_1 と抵抗 R_3 の抵抗値 R_3 の積が、パルス信号 V_Q の周波数 f となる。これにより、たとえ入力電圧 V_{IN} の値を変更しても、制御信号 V_Q の周波数 f を固定することができる。

【0032】

図 1 に示すスイッチングレギュレータでは、帰還部分が出力電圧 V_O と基準電圧 V_{REF} との比較動作及び充電電圧 V_{C1} と基準電圧 V_{REF2} との比較動作を主に行うため、高速動作が可能となる。

【0033】

次に、本発明の第二実施形態について説明する。本発明の第二実施形態に係るスイッチングレギュレータの構成を図 4 に示す。なお、図 4 において図 1 と同一の部分には同一の符号を付し詳細な説明を省略する。

【0034】

図 4 に示すスイッチングレギュレータは、図 1 に示すスイッチングレギュレータの制御信号生成回路 1 を制御信号生成回路 1' に置換した構成である。そして、制御信号生成回路 1' は、制御信号生成回路 1 に最大オン期間制御回路 14 及び OR ゲート 15 を追加した構成である。パルス制御回路 13 の出力と最大オン期間制御回路 14 の出力が OR ゲート 15 に入力され、OR ゲート 15 の出力がリセット信号としてフリップフロップ 12 のリセット端子に供給される。

【0035】

最大オン期間制御回路 14 は、フリップフロップ 12 の反転出力を入力し、制御信号生成回路 1' から出力されるパルス信号の最大オン期間 T_{MAX} を設定し、制御信号生成回路 1' から出力されるパルス信号が立ち上がってから最大オン期間 T_{MAX} が経過するとフリップフロップ 12 をリセットさせる信号を出力する。

【0036】

OR ゲート 15 により、パルス制御回路 13 の出力と最大オン期間制御回路 14 の出力との論理和がリセット信号としてフリップフロップ 12 のリセット端子に供給されるので、制御信号生成回路 1 から出力されるパルス信号のオン期間 T_{ON} を最大オン期間 T_{MAX} 以下に制限することができる。

【0037】

制御信号生成回路 1' の一構成例を図 5 に示す。なお、図 5 において図 2 と同一の部分には同一の符号を付し詳細な説明を省略する。図 5 に示す制御信号生成回路 1' が具備す

る最大オン期間制御回路 14 は、第 1 基準電圧 V_{REF1} を出力する第 1 基準電圧源 REF 1 と、NPN 形トランジスタ Q 7 と、トランジスタ Q 7 のエミッタ電流が流れる抵抗 R 6 と、第 1 基準電圧 V_{REF1} と抵抗 R 6 の両端電圧との差を増幅してトランジスタ Q 7 のベースに供給するアンプ AMP 2 と、コンデンサ C 2 と、PNP 形トランジスタ Q 5 及び Q 6 から成りトランジスタ Q 7 のエミッタ電流と同一値または所定倍の充電電流をコンデンサ C 2 に供給するカレントミラー回路と、フリップフロップ 12 の反転出力に応じてコンデンサ C 2 の充放電を切り替える NMOS トランジスタ Q 8 と、第 2 基準電圧 V_{REF3} を出力する第 2 基準電圧源 REF 3 と、第 2 基準電圧 V_{REF3} とコンデンサ C 2 の両端電圧とを比較して比較出力を OR ゲート 15 の一方の入力端子に供給する比較器 COM 2 とによって構成されている。

【0038】

最大オン期間制御回路 14 が上記構成であるので、最大オン期間制御回路 14 が設定する最大オン期間 T_{MAX} は、下記に示す (3) 式で表すことができる。ただし、 C_2 はコンデンサ C 2 の静電容量を示し、 R_6 は抵抗 R 6 の抵抗値を示している。

【数 3】

$$T_{MAX} = \frac{V_{REF3}}{V_{REF1}} \times C_2 \times R_6 \quad \dots (3)$$

【0039】

図 1 に示す本発明の第一実施形態に係るスイッチングレギュレータでは、入力電圧 V_{IN} が小さくなり、制御信号生成回路 1 から出力されるパルス信号の ON デューティが 100% に近づくと、ブーストラップ用コンデンサ 6 の充電時間が十分に確保できないために動作が不安定になる恐れがあるが、上述した図 4 に示す本発明の第二実施形態に係るスイッチングレギュレータでは、制御信号生成回路 1' から出力されるパルス信号のオン期間 T_{ON} を最大オン期間 T_{MAX} 以下に制限することで、ブーストラップ用コンデンサ 6 の充電時間を確保することができるので、制御信号生成回路 1' から出力されるパルス信号の ON デューティが 100% 付近での動作を安定化することができる。

【0040】

次に、本発明の第三実施形態について説明する。上述した図 1 に示すスイッチングレギュレータ或いは図 4 に示すスイッチングレギュレータでは、出力電圧 V_0 のリップル電圧 ΔV がコイル 7 を流れる電流 I_L の変動幅 ΔI と出力コンデンサ 8 の等価直列抵抗（以下、ESR という）との積になるので、出力コンデンサ 8 に ESR の小さいコンデンサ（例えばセラミックコンデンサ等）を用いた場合、図 6 に示すように出力電圧 V_0 のリップル電圧 ΔV が小さくなり過ぎることがある。出力電圧 V_0 のリップル電圧 ΔV が小さくなると、出力電圧 V_0 の傾きが小さくなり、比較器 10 における切り替わり遅れ時間（出力電圧 V_0 が減少して基準電圧 V_{REF} と一致してから比較器 10 の出力が High レベルに切り替わる迄の時間）が大きくなるので、出力電圧 V_0 のリップル電圧 ΔV が小さくなり過ぎると動作が不安定になる。

【0041】

このような問題点を解消することができる本発明の第三実施形態に係るスイッチングレギュレータの構成を図 7 に示す。なお、図 7 において図 4 と同一の部分には同一の符号を付し詳細な説明を省略する。

【0042】

図 7 に示すスイッチングレギュレータは、図 4 に示すスイッチングレギュレータに抵抗 9 を新たに設けた構成である。抵抗 9 の一端はコイル 7 と比較器 10 の反転入力端子との接続点に接続され、抵抗 9 の他端は出力電圧 V_0 を送出する端子と出力コンデンサ 8 との接続点に接続される。このような構成によると、出力電圧 V_0 のリップル電圧 ΔV は、出力コンデンサ 8 の ESR と抵抗 9 の抵抗値との加算値にコイル 7 を流れる電流 I_L の変動幅 ΔI を乗算した値になるので、出力コンデンサ 8 に ESR の小さいコンデンサ（例えば

セラミックコンデンサ等)を用いた場合でも出力電圧 V_0 のリプル電圧 ΔV を大きくして、動作を安定化することができる。

【0043】

比較器10の反転入力端子に入力される電圧は、出力電圧 V_0 に抵抗9の両端電圧を加えたものになるが出力電圧 V_0 と略同一である。このため、本出願ではこのような場合も比較器10の反転入力端子に出力電圧 V_0 が入力されているものとみなす。

【0044】

また、抵抗9にはスイッチングレギュレータの出力電流が流れるので、抵抗9を出力電流検出用抵抗として用いることができる。

【0045】

なお、抵抗9の代わりに、一端がコイル7、比較器10の反転入力端子、及び出力電圧 V_0 を送出する端子との接続点に接続され、他端が出力コンデンサ8に接続される抵抗を設けても構わない。当該抵抗は抵抗9と異なり出力電流検出用抵抗として用いることができない。

【0046】

上述した第一実施形態～第三実施形態では、ブーストトラップ方式のDC/DCコンバータを有するスイッチングレギュレータについて説明したが、当然の事ながら本発明は他の構成のDC/DCコンバータを有するスイッチングレギュレータにも適用することができる。また、本発明では全ての実施例においてツェナーダイオード5及びコンデンサ6を用いているが、昇圧電圧を得る方法としては、これに限定されるものではない。また、オン期間 T_{ON} に影響がないのであれば、比較器10にヒステリシス特性を持たせるようにしても良い。

【図面の簡単な説明】

【0047】

【図1】は、本発明の第一実施形態に係るスイッチングレギュレータの構成を示す図である。

【図2】は、図1のスイッチングレギュレータが具備する制御信号生成回路の一構成例を示す図である。

【図3】は、図1に示すスイッチングレギュレータ及び図2に示す制御信号生成回路の各部電圧又は電流のタイムチャートである。

【図4】は、本発明の第二実施形態に係るスイッチングレギュレータの構成を示す図である。

【図5】は、図4のスイッチングレギュレータが具備するパルス制御回路の一構成例を示す図である。

【図6】は、図1又は図4のスイッチングレギュレータにおいて出力コンデンサにESRの小さいコンデンサを用いた場合の各部電圧又は電流のタイムチャートである。

【図7】は、本発明の第三実施形態に係るスイッチングレギュレータの構成を示す図である。

【符号の説明】

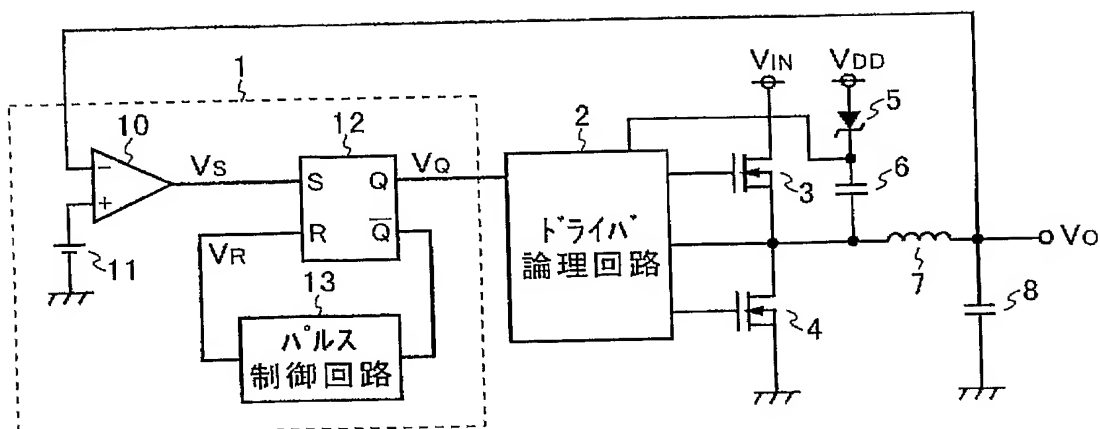
【0048】

- 1、1' 制御信号生成回路
- 2 ドライバ論理回路
- 3、4 NMOS
- 5 ツェナーダイオード
- 6 コンデンサ
- 7 コイル
- 8 出力コンデンサ
- 9 抵抗
- 10 比較器
- 11 基準電圧源

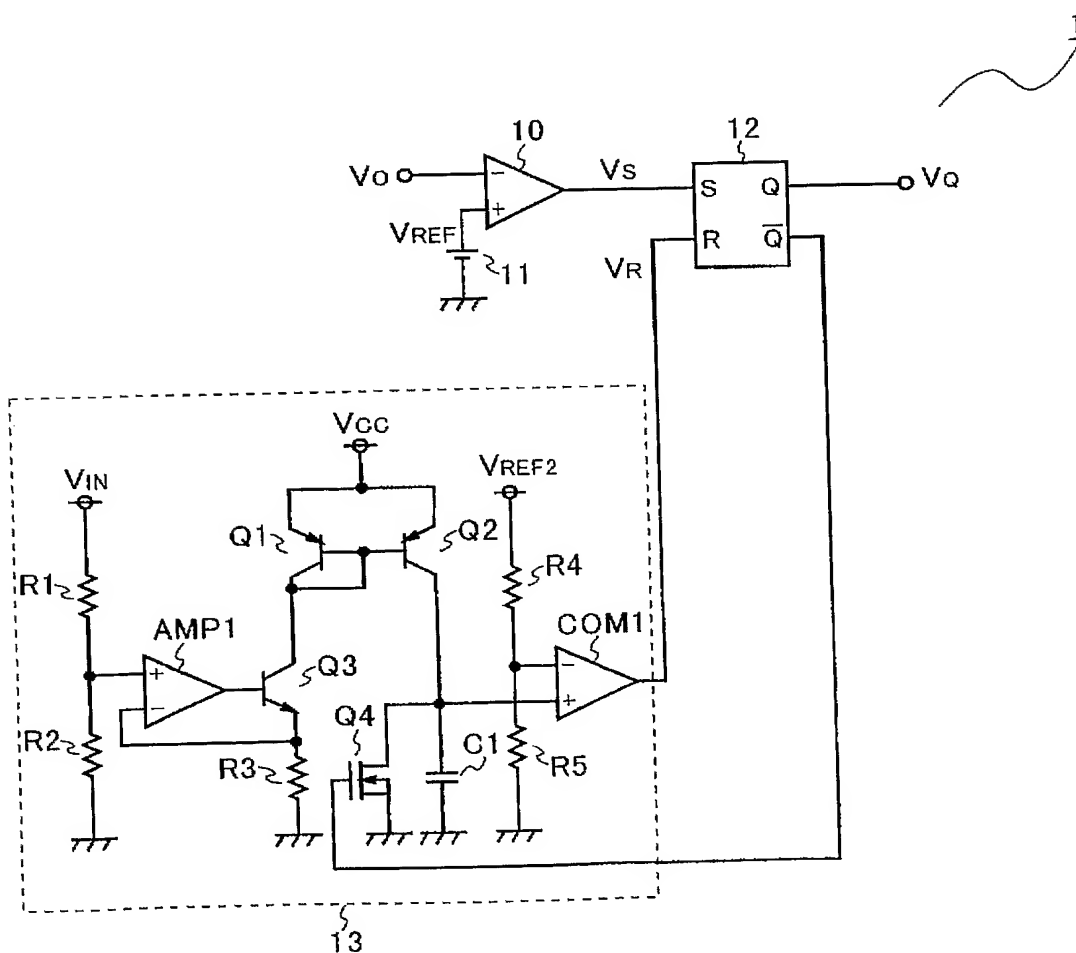
- 1 2 フリップフロップ
- 1 3 パルス制御回路
- 1 4 最大オン期間制御回路
- 1 5 O R ゲート

【書類名】 図面

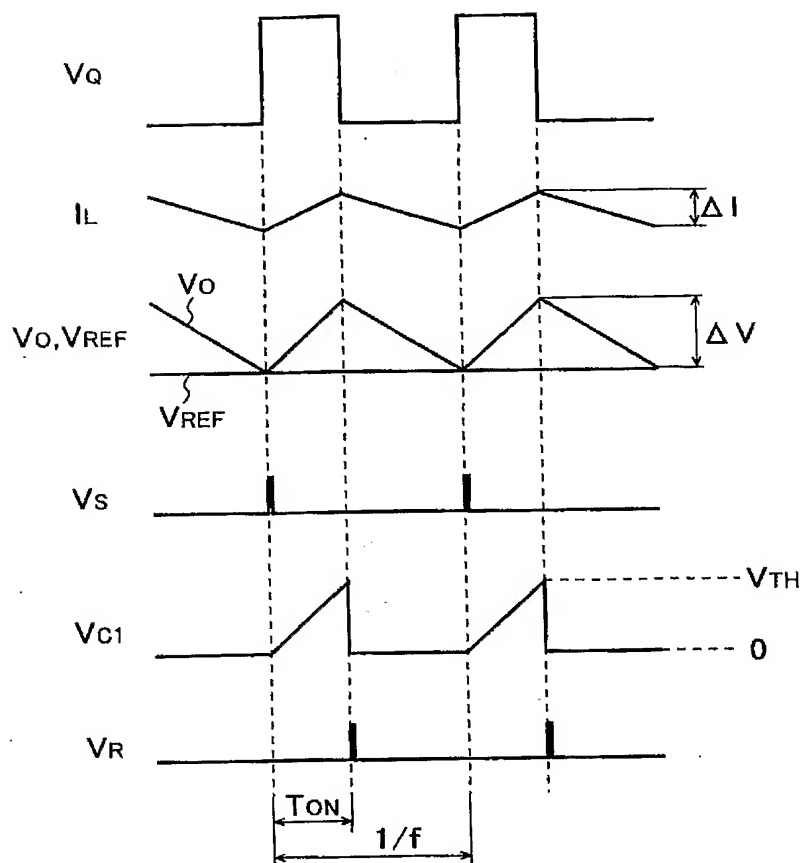
【図 1】



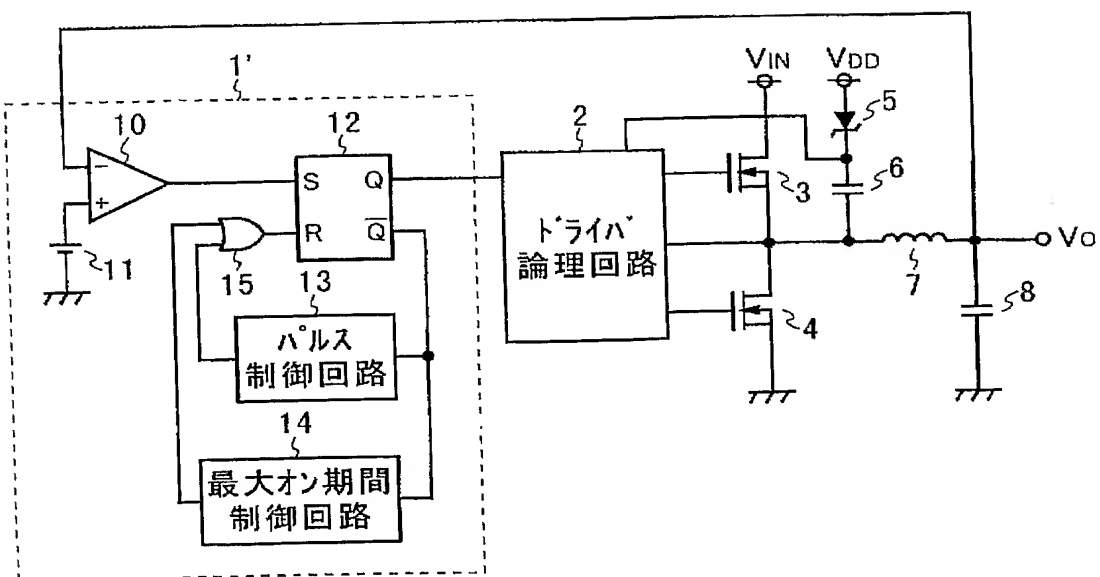
【図 2】



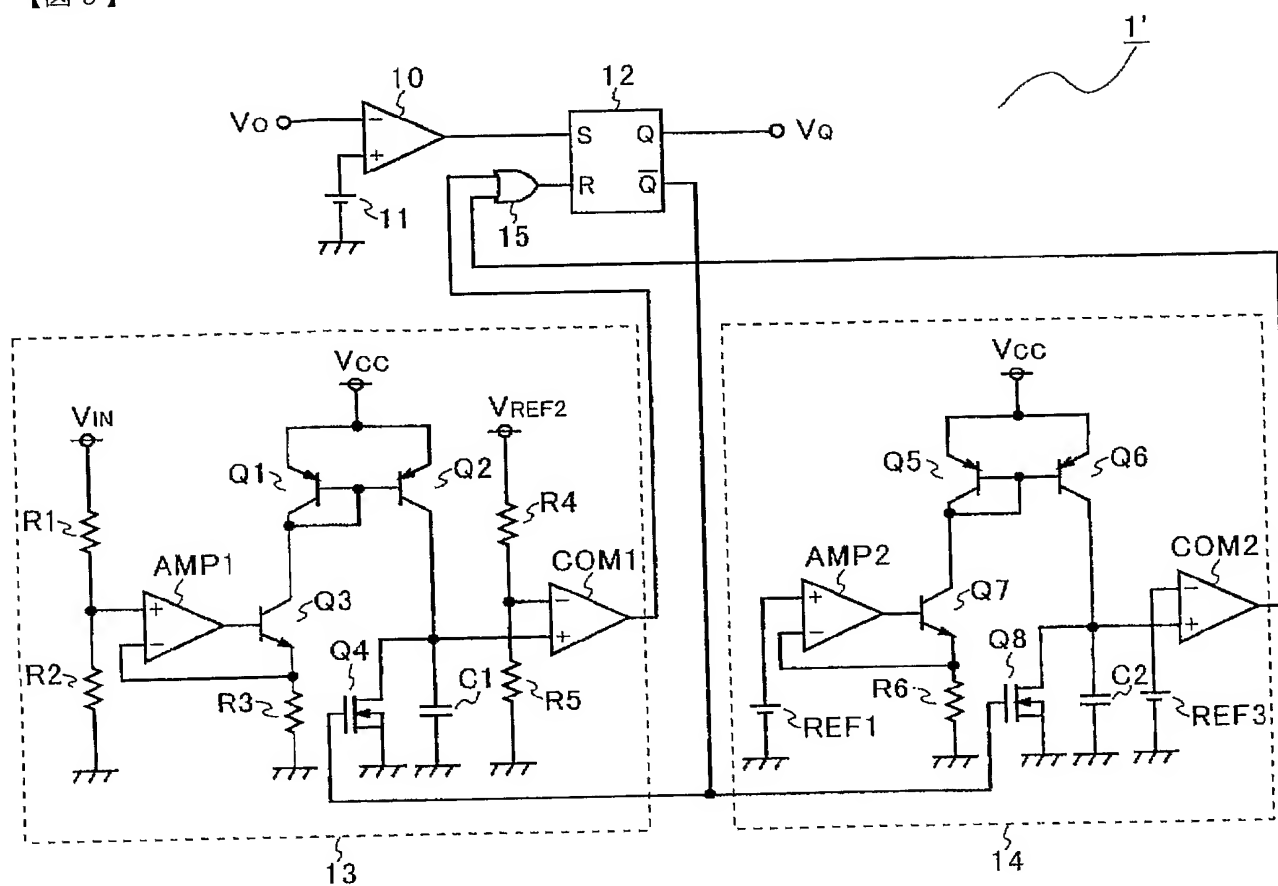
【図 3】



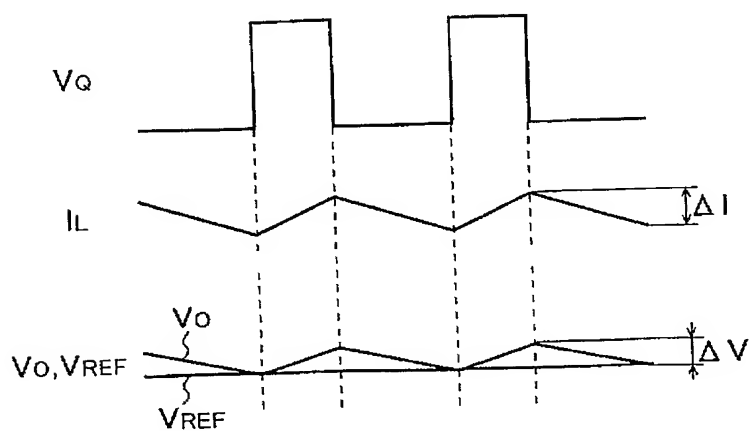
【図 4】



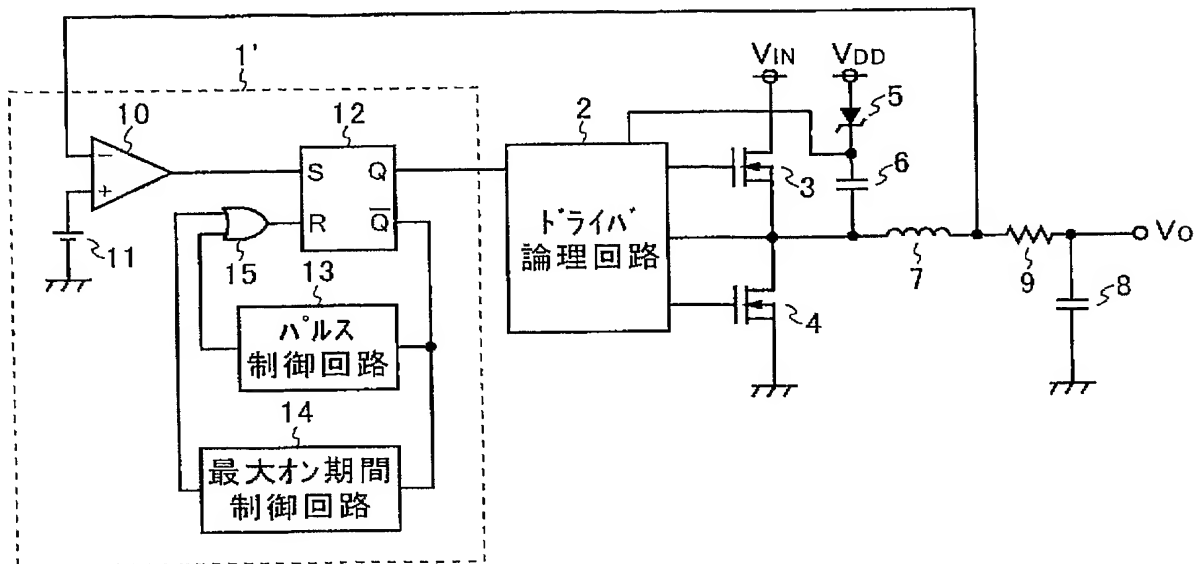
【図 5】



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 高速動作が可能なスイッチングレギュレータを提供する。

【解決手段】 制御信号生成回路 1 は、出力電圧 V_o と基準電圧源 11 から出力される基準電圧とを比較する比較器 10 と、比較器 10 の出力によってセットされるフリップフロップ 12 と、入力電圧 V_{IN} 、基準電圧 V_{REF2} 、及びフリップフロップ 12 の反転出力を入力し、入力電圧 V_{IN} と基準電圧 V_{REF2} との比に応じてオン期間を設定し、フリップフロップ 12 の出力パルスが立ち上がってから前記オン期間が経過するとフリップフロップ 12 をリセットするパルス制御回路 13 と、を備え、フリップフロップ 12 の出力パルスを制御信号としてドライバ論理回路 2 に出力する。ドライバ論理回路 2 は、前記制御信号に基づいて NMOS 3 及び 4 をオン／オフ制御する。

【選択図】 図 1

特願 2 0 0 4 - 0 7 4 5 6 8

出 願 人 履 歴 情 報

識別番号

[0 0 0 1 1 6 0 2 4]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

京都府京都市右京区西院溝崎町 2 1 番地

氏 名

ローム株式会社